СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1683039 A1

(51)5 G 06 F 15/76, 15/16

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

## ОПИСАНИЕ ИЗОБРЕТЕНИЯ

Bu**Compani** Minitid - Primerone Emganoteka

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4653165/24

(22) 24.11.88

(46) 07.10.91. Бюл. № 37

(71) Киевский политехнический институт им.50-летия Великой Октябрьской социалистической революции

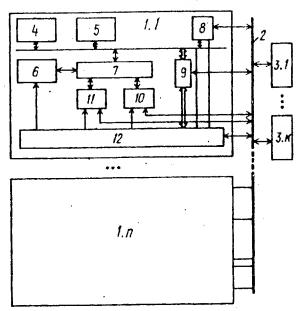
(72) В.В.Васильев, Г.И.Гончаренко, В.И.Жабин, В.В.Макаров, В.И.Савченко и В.В.Ткаченко

(53) 681.325(088.8)

(56) Авторское свидетельство СССР № 926662, кл. G 06 F 15/16, 1982.

Авторское свидетельство СССР № 1156086, кл. G 06 F 15/16, 1984. 2

(54) УСТРОЙСТВО ОБРАБОТКИ ДАННЫХ ДЛЯ МНОГОПРОЦЕССОРНОЙ СИСТЕМЫ (57) Изобретение относится к вычислительной технике и может использоваться для создания многопроцессорных систем. Целью изобретения является повышение быстродействия за счет возможности совмещения вычислительного процесса и процессов обмена. Поставленная цель достигается тем, что многопроцессорная система содержит процессорные блоки 1.1,...,1.п. системную шину 2, внешние устройства 3.1,...,3.к, процессор 4, локальную память 5, коммуникационную память 6, первый и второй коммутаторы 7,8, регистр 9 команд, регистр 10 данных, регистр 11 адреса, блок 12 управления. 1 ил.



..., <u>SU</u>..., 1683039 A

тем передачи соответствующей команды в его регистр 9.ј команд (устанавливает 3-й разряд в состояние "0").

В данном случае обмена настройку межпроцессорных связей (подготовку адре- 5 сов, счетчика слова), а также подсчет пересылаемых слов возлагаются на процессор 4 активного процессорного блока 1.і. Это позволяет совместить во времени пересылку данных с частью непроизводительных за- 10 трат, так как процессор при выполнении программы не использует системную шину 2.

Формула изобретения

Устройство обработки данных для многопроцессорной системы, содержащее процессор, локальную память, регистр адреса, отличаю щееся тем, что, с целью повышения быстродействия путем обеспе- 20 чения возможности совмещения вычислительного процесса и процессов обмена, в него введены коммуникационная память, первый и второй коммутаторы, регистр команд, регистр данных и блок управления, 25 причем входы-выходы, адрес (данные), управление процессора соединены через локальную общую шину устройства с одноименными входами-выходами локальной памяти, с первыми информационными 30 входами-выходами первого коммутатора, с

первыми информационными входами-выходами регистра команд, с первыми информационными входами-выходами второго коммутатора, вторые информационные входы-выходы которого являются первыми входами-выходами устройства, вторые входы-выходы которого соединены с вторыми информационными входами-выходами регистра команд, вход режима которого соединен с первым выходом блока управления, второй и третий выходы которого соединены соответственно с входами режима регистра данных и регистра адреса, чет-15 вертый выход блока управления соединен с входом режима коммуникационной памяти, входы-выходы которой соединены с вторыми входами-выходами первого коммутатора, третьи и четвертые входы-выходы которого соединены соответственно с первыми информационными входами-выходами регистра адреса и регистра данных, вторые информационные входы-выходы которых соединены соответственно с вторым и третьим входами-выходами устройства. четвертые входы выходы которого соединены с входами-выходами блока управления. первые и вторые выходы разрешения коммутации которого соединены соответственно с управляющими входами первого и второго коммутаторов.

Составитель Г.Смирнова Техред М.Моргентал

Корректор А.Осауленко

Заказ 3415

Редактор М.Бланар

Тираж

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР 113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул.Гагарина, 101